

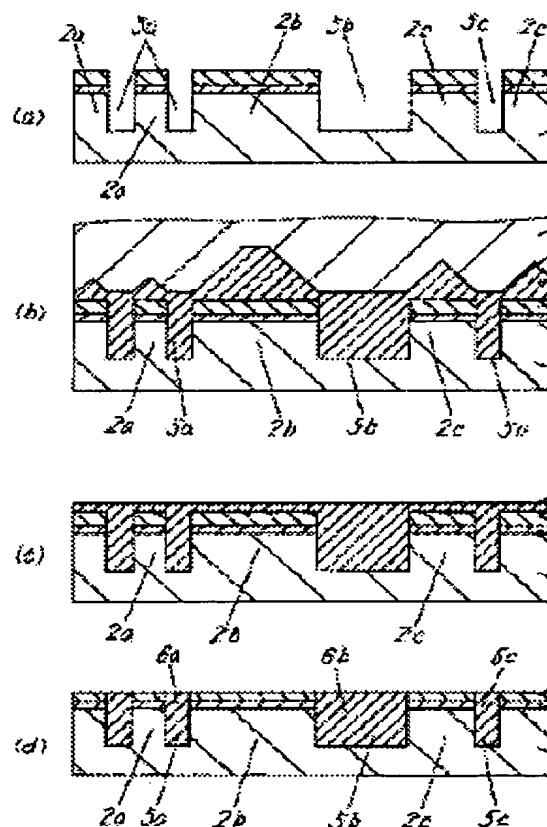
METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

Patent number: JP2002026117
Publication date: 2002-01-25
Inventor: HAYAMA KAZUO; NAKAOKA HIROAKI; HIRAI TAKEHIRO
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
 - **International:** H01L21/76; H01L21/316
 - **European:**
Application number: JP20000204652 20000706
Priority number(s):

Abstract of JP2002026117

PROBLEM TO BE SOLVED: To form the trench isolation by filling trenches with an insulation film for isolation by a HDP-CVD method, without being influenced by pattern widths in active and element isolation regions.

SOLUTION: This method includes following steps. With a protective insulation film 3 as an etching mask, isolation trenches 5a, 5b, 5c are formed in a semiconductor substrate 1 through anisotropic dry etching. Then, an insulation film 6 for isolation is formed by a high-density plasma CVD method. After forming a sacrificial protective film 7, formed of a fluid material on the insulation film 6 for isolation, heat treatment is conducted to make the sacrificial protective film 7 flow, thereby planarizing the surface of the sacrificial protective film. Thereafter, the sacrificial protective film 7 and insulation film 6 for isolation are etched back to remove part of the sacrificial protective film 7 and insulation film 6 for isolation on the protective insulation film 3, and then at least a remaining part of the insulation film 6x left over on the protective insulation film 7 is polished and removed by a CMP method, leaving the insulation film for isolation only in the isolation trenches, and thereby forming element isolation insulation films 6a, 6b, 6c.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-26117
(P2002-26117A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.⁷H 0 1 L 21/76
21/316

識別記号

F I

H 0 1 L 21/316
21/76

テ-マ-ト* (参考)

X 5 F 0 3 2
L 5 F 0 5 8

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願2000-204652(P2000-204652)

(22) 出願日 平成12年7月6日 (2000.7.6)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 羽山 和男

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72) 発明者 中岡 弘明

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

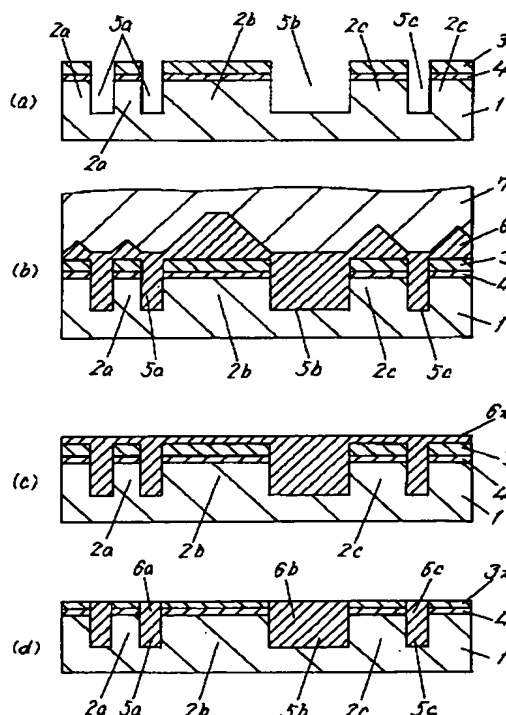
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 活性領域及び素子分離領域のパターン幅に影響されことなく、HDP-CVD法による分離用絶縁膜を埋め込んでトレンチ分離を形成する。

【解決手段】 保護絶縁膜3をエッチングマスクにして、異方性ドライエッチングにより半導体基板1に分離溝5a、5b、5cを形成した後、高密度プラズマCVD法による分離用絶縁膜6を形成する。そして、分離用絶縁膜6の上に流動性材料からなる犠牲保護膜7を形成した後、犠牲保護膜7を流動させる熱処理を行い、犠牲保護膜7の表面を平坦化する。その後、犠牲保護膜7及び分離用絶縁膜6に対してエッチバックを行って保護絶縁膜3上の犠牲保護膜7及び分離用絶縁膜6の一部を除去した後、少なくとも保護絶縁膜7上に残存する分離用絶縁膜6xの残部を化学機械研磨法によって研磨除去し、分離溝内のみに分離用絶縁膜を残置させて素子分離絶縁膜6a、6b、6cを形成する。



【特許請求の範囲】

【請求項 1】 半導体基板の上に保護用絶縁膜を形成する工程 (a) と、
前記保護用絶縁膜をパターンニングして、素子分離領域上に開口部が形成された保護絶縁膜を形成する工程 (b) と、
前記保護絶縁膜をエッチングマスクにして、異方性ドライエッチングにより前記半導体基板を所定の深さまでエッチングして分離溝を形成する工程 (c) と、
前記工程 (c) の後に、前記半導体基板上に高密度プラズマ CVD 法による分離用絶縁膜を形成し、前記分離溝内に前記分離用絶縁膜を充填する工程 (d) と、
前記分離用絶縁膜の上に流動性材料からなる犠牲保護膜を形成する工程 (e) と、
熱処理により前記犠牲保護膜を流動化して、前記犠牲保護膜の表面を平坦化する工程 (f) と、
前記工程 (f) の後に、前記犠牲保護膜及び前記分離用絶縁膜に対して全面エッチバックを行って、少なくとも前記犠牲保護膜及び前記分離用絶縁膜の一部を除去する工程 (g) と、
前記工程 (g) の後に、少なくとも前記保護絶縁膜上に残存する前記分離用絶縁膜の残部を化学機械研磨法によって研磨除去し、前記分離溝内のみに前記分離用絶縁膜を残置させて素子分離絶縁膜を形成する工程 (h) とを備えていることを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、
前記工程 (f) の後で前記工程 (g) の前に、前記犠牲保護膜の表面層を化学機械研磨法により研磨して、前記犠牲保護膜の表面を完全に平坦化する工程を備えていることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 又は 2 記載の半導体装置の製造方法において、
前記工程 (g) のエッチバックは、前記犠牲保護膜と前記分離用絶縁膜のエッチングレートがほぼ等しくなるエッチング条件で行うことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 記載の半導体装置の製造方法において、
前記工程 (f) で、前記犠牲保護膜の熱処理をした後、前記分離用絶縁膜の段差によって前記犠牲保護膜の平坦度が悪く前記分離用絶縁膜上が高くなっている場合には、前記工程 (g) のエッチバックは、前記犠牲保護膜に比べて前記分離用絶縁膜のエッチングレートが速くなるエッチング条件で行うことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1～4 のうちいずれか 1 つに記載の半導体装置の製造方法において、
前記犠牲保護膜として、BPSG 膜、PSG 膜及び SOG 膜のうちのいずれか 1 つを用いることを特徴とする半

導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体装置の製造方法において、
前記工程 (d) の後で前記工程 (e) の前に、前記分離用絶縁膜上に層間膜を形成する工程を備え、
前記工程 (e) では、前記分離用絶縁膜上に形成された前記層間膜上に前記犠牲保護膜を形成し、
前記工程 (g) では、前記犠牲保護膜、前記層間膜及び前記分離用絶縁膜に対してエッチバックを行って、前記保護絶縁膜上の前記犠牲保護膜、前記層間膜及び前記分離用絶縁膜の一部を除去することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 記載の半導体装置の製造方法において、
前記犠牲保護膜として、レジスト膜を用いることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1～7 のうちいずれか 1 つに記載の半導体装置の製造方法において、
前記工程 (a) の前に、前記半導体基板上に下地用絶縁膜を形成する工程を備え、
前記工程 (a) では、前記下地用絶縁膜の形成された前記半導体基板上に前記保護用絶縁膜を形成し、
前記工程 (b) では、前記保護用絶縁膜をパターンニングした後、前記下地用絶縁膜をパターンニングして、素子分離領域上に開口部が形成された下地絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板の上に保護用絶縁膜を形成する工程 (a) と、
前記保護用絶縁膜をパターンニングして、素子分離領域上に開口部が形成された保護絶縁膜を形成する工程 (b) と、
前記保護絶縁膜をエッチングマスクにして、異方性ドライエッチングにより前記半導体基板を所定の深さまでエッチングして分離溝を形成する工程 (c) と、
前記工程 (c) の後に、前記半導体基板上に高密度プラズマ CVD 法による分離用絶縁膜を形成し、前記分離溝内に前記分離用絶縁膜を充填する工程 (d) と、
前記保護絶縁膜の端部が露出するまで前記分離用絶縁膜を全面エッチングして、前記分離溝内に残置する前記分離用絶縁膜と前記保護絶縁膜上に残置する前記分離用絶縁膜とを分離する工程 (e) と、
前記工程 (e) の後に、前記半導体基板上にマスク用レジスト膜を形成した後、前記マスク用レジスト膜をパターンニングして、前記保護絶縁膜上に残置する前記分離用絶縁膜上に開口部を有するレジスト膜を形成する工程 (f) と、
前記レジスト膜をエッチングマスクにして、前記保護絶縁膜上に残置する前記分離用絶縁膜を除去する工程 (g) と、
前記工程 (g) の後に、化学機械研磨法によって少なく

とも前記保護絶縁膜の一部を研磨し、前記分離溝内に残置する前記分離用絶縁膜と前記保護絶縁膜とが同一平面になるように平坦化して、前記分離溝内のみに前記分離用絶縁膜からなる素子分離絶縁膜を形成する工程（g）とを備えていることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、

前記工程（g）では、前記分離用絶縁膜をウェットエッチングによって除去することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特に分離溝内に高密度プラズマ（HDP：High Density Plasma）CVD法で形成した分離用絶縁膜を埋め込んで素子分離領域を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の高密度化及び高集積化の要望に伴い、半導体素子の微細化を図るための素子分離法として、半導体基板に形成した分離溝内に分離用絶縁膜を埋め込んで分離するトレンチ分離が用いられている。このトレンチ分離においては、分離溝内に埋め込む分離用絶縁膜にボイドが形成されないようにすることが重要であり、その 1 つの方法として、HDP-CVD法で形成した分離用絶縁膜を分離溝に埋め込む方法が提案されている。

【0003】以下、従来のトレンチ分離を有する半導体装置の製造方法について説明する。図 4（a）～図 4（d）は、分離溝にHDP-CVD法で形成した分離用絶縁膜を埋め込んでトレンチ分離を形成する従来の半導体装置の製造工程を示す断面図である。

【0004】まず、図 4（a）に示すように、半導体基板 51 上に下地酸化膜及び窒化膜を順次形成した後、素子分離領域が開口されているレジスト膜（図示せず）をエッチングマスクにして窒化膜及び酸化膜のパターニングを行って、活性領域 52 a、52 b、52 c 上に窒化膜 53 及び下地酸化膜 54 を形成する。その後、レジスト膜を除去した後、窒化膜 53 をエッチングマスクにして半導体基板 51 を所定の深さまで異方性エッチングを行って、素子分離領域に分離溝 55 a、55 b、55 c を形成する。

【0005】次に、図 4（b）に示すように、半導体基板 51 上の全面に、HDP-CVD法により酸化膜 56 を堆積する。このHDP-CVD法によって酸化膜からなる分離用絶縁膜 56 を堆積した場合、分離用絶縁膜 56 を堆積しながら同時に堆積された分離用絶縁膜 56 の角部を集中的にエッチングしていくため、開口寸法の広い分離溝 55 b と同様に開口寸法の狭い分離溝 55 a、

55 c 内にもボイドを生じることなく良好な埋込を行うことができる。しかしながら、HDP-CVD法による分離用絶縁膜 56 は、分離溝の角部から 45° 程度の傾斜角度で堆積されるため、活性領域上には活性領域の幅によって高さ及び形状の異なる分離用絶縁膜 56 が形成される。すなわち、活性領域の幅が分離用絶縁膜 56 の堆積膜厚の 2 倍よりも狭い場合には、活性領域の幅の 1/2 程度の高さで三角形に形成され、活性領域の幅が分離用絶縁膜 56 の堆積膜厚の 2 倍よりも広い場合には、分離用絶縁膜 56 の堆積膜厚程度の高さで台形形状に形成される。従って、分離用絶縁膜 56 の堆積膜厚の 2 倍の幅に対して、非常に幅の狭い活性領域 52 a 上には高さの低い小さな三角形部 57 a、幅の広い活性領域 52 b 上には高さの高い台形形状部 57 b、少し幅の狭い活性領域 52 c 上には高さの高い大きな三角形部 57 c がそれぞれ形成される。

【0006】次に、図 4（c）に示すように、分離用絶縁膜 56 上に台形形状部 57 b 及び三角形形状部 57 c 上に開口部 59 の形成されたレジスト膜 58 を形成した後、レジスト膜 58 をエッチングマスクにして、異方性ドライエッチングにより膜厚が厚く形成されている台形形状部 57 b 及び三角形形状部 57 c の分離用絶縁膜 56 を所定の厚さまで除去する。これによって、活性領域 52 a、52 b、52 c 上に残置する分離用絶縁膜 56 x の膜厚差を低減し、後工程で行う化学機械研磨（CMP）法による平坦化を容易にする。

【0007】次に、図 4（d）に示すように、レジスト膜 58 を除去した後、CMP法により活性領域 52 a、52 b、52 c 上に残置する分離用絶縁膜 56 x を研磨除去することによって、分離溝 55 a、55 b、55 c 内のみに分離用絶縁膜 56 x を残置させて素子分離絶縁膜 56 a、56 b、56 c を形成する。このとき、CMPにより素子分離絶縁膜 56 a、56 b、56 c の表面は、窒化膜 53 x の表面とほぼ平坦に形成される。

【0008】その後、窒化膜 53 x 及び下地酸化膜 54 を除去すれば、素子分離絶縁膜 56 a、56 b、56 c からなるトレンチ分離に囲まれた活性領域 52 a、52 b、52 c を形成することができる。

【0009】

【発明が解決しようとする課題】上述した従来の半導体装置の製造方法では、図 4（c）に示すように、活性領域 52 b 及び 52 c 上に開口部 59 の形成されたレジスト膜 58 をエッチングマスクとして、HDP-CVD法によって膜厚が厚く形成されている台形形状部 57 b 及び三角形形状部 57 c の分離用絶縁膜 56 を所定の厚さまで異方性ドライエッチングにより除去する。

【0010】しかしながら、図 5（a）に示すように、レジスト膜 58 をエッチングマスクにしてエッチングする台形形状部 57 b 及び三角形形状部 57 c の分離用絶縁膜 56 は、膜厚が均一ではなく、例えば台形形状部 57

10

20

30

40

50

bでは、レジスト膜58の端部下の膜厚t aと膜厚の厚い中央部の膜厚t bとでは5〜50倍程度の膜厚差がある。この膜厚差は、活性領域52bとレジスト膜58のオーバーラップ量が小さくなるほど大きくなる。

【0011】このように膜厚差のある台形状部57b及び三角形部57cの分離用絶縁膜56を異方性エッチングした場合、図5(b)に示すように、分離用絶縁膜56の膜厚が薄いレジスト膜58の端部に近い領域60では、過剰エッチングとなるため、分離用絶縁膜56のみならず窒化膜53もエッチングされ薄くなったり、あるいは、窒化膜53及び下地酸化膜54が完全エッチングされて半導体基板51の表面が露出したりする。このように、エッチングにより窒化膜53の一部領域が薄くなった状態、あるいは、完全に除去された状態で、CMP法により活性領域の分離用絶縁膜56xを研磨除去した場合、例えば薄く窒化膜53が残存していてもこのCMP法により研磨除去され半導体基板51表面が露出し、活性領域表面が研磨され損傷が生じるという課題がある。

【0012】また、活性領域52b及び52cとレジスト膜58とのオーバーラップ量を小さくすると、上述の課題の他にマスク合わせのずれによって分離溝55a、55b、55c内に残置する素子分離絶縁膜56a、56b、56cに掘れが生じるという課題がある。

【0013】一方、エッチング膜厚差を小さくするために、活性領域52b及び52cとレジスト膜58とのオーバーラップ量を大きくすると、レジスト膜58の端部下に残存する分離用絶縁膜56の高さが高くなり、CMP法による平坦化が難しくなるという課題がある。

【0014】本発明の目的は、活性領域及び素子分離領域のパターン幅に影響されることなく、HDP-CVD法による分離用絶縁膜を埋め込んで平坦な表面を有するトレンチ分離を形成することができる半導体装置の製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明の第1の半導体装置の製造方法は、半導体基板の上に保護用絶縁膜を形成する工程(a)と、保護用絶縁膜をパターンニングして、素子分離領域上に開口部が形成された保護絶縁膜を形成する工程(b)と、保護絶縁膜をエッチングマスクにして、異方性ドライエッチングにより半導体基板を所定の深さまでエッチングして分離溝を形成する工程(c)と、工程(c)の後に、半導体基板上に高密度プラズマCVD法による分離用絶縁膜を形成し、分離溝内に分離用絶縁膜を充填する工程(d)と、分離用絶縁膜の上に流動性材料からなる犠牲保護膜を形成する工程(e)と、熱処理により犠牲保護膜を流動化して、犠牲保護膜の表面を平坦化する工程(f)と、工程(f)の後に、犠牲保護膜及び分離用絶縁膜に対して全面エッチバックを行って少なくとも犠牲保護膜及び分離用絶縁膜の一部

を除去する工程(g)と、工程(g)の後に、少なくとも保護絶縁膜上に残存する分離用絶縁膜の残部を化学機械研磨法によって研磨除去し、分離溝内にみに分離用絶縁膜を残置させて素子分離絶縁膜を形成する工程(h)とを備えている。

【0016】この第1の半導体装置の製造方法によれば、分離用絶縁膜の上に流動性材料からなる犠牲保護膜を形成し、犠牲保護膜を流動させる熱処理を行い、犠牲保護膜の表面を平坦化することによって、その後のエッチバック及び化学機械研磨法による研磨によって、活性領域及び分離溝のパターン幅に影響されずに、平坦な表面を有する素子分離絶縁膜が埋め込まれたトレンチ分離を形成することができる。

【0017】上記第1の半導体装置の製造方法において、工程(f)の後で工程(g)の前に、犠牲保護膜の表面層を化学機械研磨法により研磨して、犠牲保護膜の表面を完全に平坦化する工程を備えていることによって、分離溝内に埋め込む素子分離絶縁膜の平坦度をさらに向上することができる。

【0018】また、上記第1の半導体装置の製造方法において、工程(g)のエッチバックは、犠牲保護膜と分離用絶縁膜のエッチングレートがほぼ等しくなるエッチング条件で行うことで、CMP法により研磨する被処理面の平坦度を向上することができる。

【0019】また、上記第1の半導体装置の製造方法において、工程(f)で、犠牲保護膜の熱処理をした後、分離用絶縁膜の段差によって犠牲保護膜の平坦度が悪く分離用絶縁膜上が高くなっている場合には、工程(g)のエッチバックは、犠牲保護膜に比べて分離用絶縁膜のエッチングレートが速くなるエッチング条件で行うことで、CMP法により研磨する被処理面の平坦度を向上することができる。

【0020】上記第1の半導体装置の製造方法において、犠牲保護膜としては、BPSG膜、PSG膜及びSiOG膜のうちのいずれか1つ、あるいは、レジスト膜を用いることが好ましい。

【0021】さらに、上記第1の半導体装置の製造方法において、工程(d)の後で工程(e)の前に、分離用絶縁膜上に層間膜を形成する工程を備え、工程(e)では、分離用絶縁膜上に形成された層間膜上に犠牲保護膜を形成し、工程(g)では、犠牲保護膜、層間膜及び分離用絶縁膜に対してエッチバックを行って、保護絶縁膜上の犠牲保護膜、層間膜及び分離用絶縁膜の一部を除去することによって、犠牲保護膜の流動性を高め平坦化を容易にするとともに、不純物を含む犠牲保護膜から分離用絶縁膜中への不純物の拡散を防止することができる。

【0022】さらに、上記第1の半導体装置の製造方法において、工程(a)の前に、半導体基板上に下地用絶縁膜を形成する工程を備え、工程(a)では、下地用絶縁膜の形成された半導体基板上に保護用絶縁膜を形成

し、工程（b）では、保護用絶縁膜をパターンニングした後、下地用絶縁膜をパターンニングして、素子分離領域上に開口部が形成された下地絶縁膜を形成しても良い。

【0023】本発明の第2の半導体装置の製造方法では、半導体基板の上に保護用絶縁膜を形成する工程

（a）と、保護用絶縁膜をパターンニングして、素子分離領域上に開口部が形成された保護用絶縁膜を形成する工程

（b）と、保護用絶縁膜をエッチングマスクにして、異方性ドライエッチングにより半導体基板を所定の深さまでエッチングして分離溝を形成する工程（c）と、工程

（c）の後に、半導体基板上に高密度プラズマCVD法による分離用絶縁膜を形成し、分離溝内に分離用絶縁膜を充填する工程（d）と、保護用絶縁膜の端部が露出するまで分離用絶縁膜を全面エッチングして、分離溝内に残置する分離用絶縁膜と保護用絶縁膜上に残置する分離用絶縁膜とを分離する工程（e）と、工程（e）の後に、半導体基板上にマスク用レジスト膜を形成した後、マスク用レジスト膜をパターンニングして、保護用絶縁膜上に残置する分離用絶縁膜上に開口部を有するレジスト膜を形成する工程（f）と、レジスト膜をエッチングマスクにして、保護用絶縁膜上に残置する分離用絶縁膜を除去する工程（g）と、工程（g）の後に、化学機械研磨法によって少なくとも保護用絶縁膜の一部を研磨し、分離溝内に残置する分離用絶縁膜と保護用絶縁膜とが同一平面になるように平坦化して、分離溝内のみに分離用絶縁膜からなる素子分離絶縁膜を形成する工程（g）とを備えている。

【0024】この第1の半導体装置の製造方法によれば、保護用絶縁膜の端部が露出するまで分離用絶縁膜を全面エッチングして、分離溝内に残置する分離用絶縁膜と保護用絶縁膜上に残置する分離用絶縁膜とを分離することによって、レジスト膜をエッチングマスクにして、保護用絶縁膜上に残置する分離用絶縁膜を選択的に除去することができ、その後の化学機械研磨法による研磨によって、活性領域及び分離溝のパターン幅に影響されずに、平坦な表面を有する素子分離絶縁膜が埋め込まれたトレンチ分離を形成することができる。

【0025】上記第2の半導体装置の製造方法において、工程（g）では、分離用絶縁膜をウェットエッチングによって除去することによって、容易に分離用絶縁膜を完全に除去することができる。

【0026】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態に係る半導体装置の製造方法について、図1（a）～図1（d）を参照しながら説明する。図1（a）～図1（d）は、分離溝にHDP-CVD法で形成した分離用絶縁膜を埋め込んでトレンチ分離を形成する半導体装置の製造工程を示す断面図である。

【0027】まず、図1（a）に示すように、半導体基板1上に膜厚20nmの酸化膜及び膜厚200nmの窒化膜を順次形成した後、素子分離領域が開口されている

レジスト膜（図示せず）をエッチングマスクにして窒化膜及び酸化膜のパターンニングを行って、活性領域2a、2b、2c上に窒化膜からなる保護用絶縁膜3及び酸化膜からなる下地絶縁膜4を形成する。その後、レジスト膜を除去した後、保護用絶縁膜3をエッチングマスクにして半導体基板1を深さ500nmまで異方性エッチングを行って、素子分離領域に分離溝5a、5b、5cを形成する。

【0028】次に、図1（b）に示すように、半導体基板1上の全面に、HDP-CVD法により膜厚800nmの酸化膜からなる分離用絶縁膜6を堆積する。このHDP-CVD法による分離用絶縁膜6は、分離用絶縁膜6を堆積しながら同時に堆積された素子用絶縁膜6の角部を集中的にエッチングしていくため、開口寸法の広い分離溝5bと同様に開口寸法の狭い分離溝5a、5c内にもボイドを生じることなく良好な埋込を行うことができる。このとき、パターン幅の狭い活性領域2a、パターン幅の広い活性領域2b及びパターン幅が中程度の活性領域2c上には、それぞれ活性領域のパターン幅に応じて高さ及び形状の異なる分離用絶縁膜6が形成される。その後、分離用絶縁膜6上の全面に膜厚1000nmのBPSG膜を形成した後、800℃の熱処理による平坦化処理を行い、BPSG膜をリフローしてほぼ平坦な表面を有する犠牲保護膜7を形成する。なお、HDP-CVD法により分離用絶縁膜6を形成する前に、窒化膜3を酸化防止膜にして熱酸化を行い、分離溝5a、5b、5c内の側面及び底面に膜厚30nmの絶縁膜を形成し、その後、分離用絶縁膜6を形成しても良い。

【0029】次に、図1（c）に示すように、犠牲保護膜7及び分離用絶縁膜6を異方性ドライエッチングにより、パターン幅の広い活性領域2b上の分離保護膜6xの残膜厚が50nm程度になるまでエッチバック除去する。このとき、犠牲保護膜7と分離用絶縁膜6のエッチングレートがほぼ等しくなるエッチング条件でエッチバックすることによって、ほぼ平坦化された犠牲保護膜7の表面形状を反映したほぼ平坦な形状で分離用絶縁膜6xを残置することができる。なお、犠牲保護膜7の平坦化処理において、分離用絶縁膜6の段差により平坦度が悪い場合には、犠牲保護膜7に比べて分離用絶縁膜6のエッチングレートが速くなるエッチング条件でエッチバックすることによって、エッチバック終了時点にはほぼ平坦化された分離用絶縁膜6xを残置することができる。

【0030】次に、図1（d）に示すように、活性領域2a、2b、2c上の分離用絶縁膜6x及び保護用絶縁膜3の一部をCMP法により保護用絶縁膜3xの残膜厚が50nm程度になるまで研磨除去して、分離溝5a、5b、5c内のみに分離用絶縁膜6xを残置させて素子分離絶縁膜6a、6b、6cを形成する。このとき、CMP法により素子分離絶縁膜6a、6b、6cの表面は、

保護絶縁膜 3 x の表面とほぼ平坦に形成される。

【0031】その後、保護絶縁膜 3 x 及び下地絶縁膜 4 を除去すれば、素子分離絶縁膜 6 a, 6 b, 6 c からなるトレンチ分離に囲まれた活性領域 2 a, 2 b, 2 c を形成することができる。

【0032】なお、上記実施形態では、図 1 (b) に示す工程で、HDP-CVD 法により形成した分離用絶縁膜 6 上に直接 BPSG 膜からなる犠牲保護膜 7 を形成したが、分離用絶縁膜 6 上に膜厚 10 nm の窒化膜からなる層間膜を形成した後、層間膜上に BPSG 膜からなる犠牲保護膜 7 を形成しても良い。その後、熱処理により犠牲保護膜 7 を流動化して平坦化した後、犠牲保護膜 7、層間膜及び分離用絶縁膜 6 の一部をエッチバックする。このように、分離用絶縁膜 6 と犠牲保護膜 7 との間に層間膜を形成することによって、BPSG 膜の流動性を高め平坦性を容易にするとともに、犠牲保護膜 7 中に含まれる不純物の分離用絶縁膜 6 への拡散を防止することができる。

【0033】また、犠牲保護膜 7 として BPSG 膜を用いて説明したが、BPSG 膜の代わりに SOG 膜、PSG 膜、あるいはレジスト膜など熱処理や塗布時に流動してほぼ平坦な表面を得ることができる流動性材料であれば良い。

【0034】この第 1 の実施形態の製造方法によれば、図 1 (b) に示す工程で、HDP-CVD 法により分離用絶縁膜 6 を堆積した後、流動性材料からなる犠牲保護膜 7 を全面に形成することによって、分離用絶縁膜 6 の段差を緩和することができ、ほぼ平坦な表面を有する犠牲保護膜 7 を得ることができる。この結果、図 1 (c) に示す工程で、犠牲保護膜 7 及び分離用絶縁膜 6 をエッチバックすることによってほぼ平坦な表面を有する分離用絶縁膜 6 x を残置することができ、その後、図 1

(c) に示す工程で、活性領域 2 a, 2 b, 2 c 上に残置する分離用絶縁膜 6 x 及び下地絶縁膜 3 の一部を研磨除去することによって、活性領域 2 a, 2 b, 2 c 及び分離溝 5 a, 5 b, 5 c のパターン幅に影響されずに、平坦な表面を有する素子分離絶縁膜 6 a, 6 b, 6 c が埋め込まれたトレンチ分離を形成することができる。

【0035】(第 2 の実施形態) 本発明の第 2 の実施形態に係る半導体装置の製造方法について、図 2 (a) ~ 図 2 (e) を参照しながら説明する。図 2 (a) ~ 図 2 (e) は、分離溝に HDP-CVD 法で形成した分離用絶縁膜を埋め込んでトレンチ分離を形成する半導体装置の製造工程を示す断面図である。

【0036】まず、図 2 (a) に示すように、半導体基板 1 上に膜厚 20 nm の酸化膜及び膜厚 200 nm の窒化膜を順次形成した後、素子分離領域が開口されているレジスト膜 (図示せず) をエッチングマスクにして窒化膜及び酸化膜のパターニングを行って、活性領域 2 a, 2 b, 2 c 上に窒化膜からなる保護絶縁膜 3 及び酸化膜

からなる下地絶縁膜 4 を形成する。その後、レジスト膜を除去した後、保護絶縁膜 3 をエッチングマスクにして半導体基板 1 を深さ 500 nm まで異方性エッチングを行って、素子分離領域に分離溝 5 a, 5 b, 5 c を形成する。

【0037】次に、図 2 (b) に示すように、半導体基板 1 上の全面に、HDP-CVD 法により膜厚 800 nm の酸化膜からなる分離用絶縁膜 6 を堆積する。その後、分離用絶縁膜 6 上の全面に膜厚 1000 nm の BPSG 膜を形成した後、800℃の熱処理による平坦化処理を行い、BPSG 膜をリフローしてほぼ平坦な表面を有する犠牲保護膜 7 を形成する。なお、HDP-CVD 法により分離用絶縁膜 6 を形成する前に、窒化膜 3 を酸化防止膜にして熱酸化を行い、分離溝 5 a, 5 b, 5 c 内の側面及び底面に膜厚 30 nm の絶縁膜を形成し、その後、分離用絶縁膜 6 を形成しても良い。

【0038】次に、図 2 (c) に示すように、CMP 法により犠牲保護膜 7 の表面層を 100 nm 程度を研磨除去して、犠牲保護膜 7 a の表面を完全に平坦化する。

【0039】次に、図 2 (d) に示すように、犠牲保護膜 7 a 及び分離用絶縁膜 6 を異方性ドライエッチングにより、活性領域 2 a, 2 b, 2 c 上の分離用絶縁膜 6 x の残膜厚が 50 nm 程度になるまでエッチバック除去する。このとき、犠牲保護膜 7 a と分離用絶縁膜 6 のエッチングレートがほぼ等しくなるエッチング条件でエッチバックすることによって、平坦化された犠牲保護膜 7 a の表面形状を反映した平坦な表面を有する分離用絶縁膜 6 x を残置することができる。

【0040】次に、図 2 (e) に示すように、活性領域 2 a, 2 b, 2 c 上の分離用絶縁膜 6 x 及び保護絶縁膜 3 の一部を CMP 法により保護絶縁膜 3 x の残膜厚が 50 nm 程度になるまで研磨除去して、分離溝 5 a, 5 b, 5 c 内のみに分離用絶縁膜 6 x を残置させて素子分離絶縁膜 6 a, 6 b, 6 c を形成する。このとき、CMP 法により素子分離絶縁膜 6 a, 6 b, 6 c の表面は、保護絶縁膜 3 x の表面とほぼ平坦に形成される。

【0041】その後、保護絶縁膜 3 x 及び下地絶縁膜 4 を除去すれば、素子分離絶縁膜 6 a, 6 b, 6 c からなるトレンチ分離に囲まれた活性領域 2 a, 2 b, 2 c を形成することができる。

【0042】なお、上記実施形態では、図 2 (b) に示す工程で、HDP-CVD 法により形成した分離用絶縁膜 6 上に直接 BPSG 膜からなる犠牲保護膜 7 を形成したが、分離用絶縁膜 6 上に膜厚 10 nm の窒化膜を形成した後、窒化膜上に BPSG 膜からなる犠牲保護膜 7 を形成しても良い。このように、分離用絶縁膜 6 と犠牲保護膜 7 との間に窒化膜を形成することによって、BPSG 膜の流動性を高め平坦性を容易にするとともに、犠牲保護膜 7 中に含まれる不純物の分離用絶縁膜 6 への拡散を防止することができる。

【0043】また、犠牲保護膜 7 として BPSG 膜を用いて説明したが、BPSG 膜の代わりに PSG 膜あるいは SOG 膜など熱処理や塗布時に流動してほぼ平坦な表面を得ることができる流動材料であれば良い。

【0044】この第 2 の実施形態の製造方法によれば、図 1 (c) に示す工程で、CMP 法により犠牲保護膜 7 の表面層を研磨除去して、犠牲保護膜 7 a の表面を完全に平坦化するため、その後のエッチバックによる平坦な分離用絶縁膜 6 x の形成及び CMP 法による平坦な素子分離絶縁膜 6 a、6 b、6 c の埋め込みがさらに容易に行うことができる。

【0045】(第 3 の実施形態) 本発明の第 3 の実施形態に係る半導体装置の製造方法について、図 3 (a) ~ 図 3 (e) を参照しながら説明する。図 3 (a) ~ 図 3 (e) は、分離溝に HDP-CVD 法で形成した分離用絶縁膜を埋め込んでトレンチ分離を形成する半導体装置の製造工程を示す断面図である。

【0046】まず、図 3 (a) に示すように、半導体基板 1 上に膜厚 20 nm の酸化膜及び膜厚 200 nm の窒化膜を順次形成した後、素子分離領域が開口されているレジスト膜 (図示せず) をエッチングマスクにして窒化膜及び酸化膜のパターニングを行って、活性領域 2 a、2 b、2 c 上に窒化膜からなる保護絶縁膜 3 及び酸化膜からなる下地絶縁膜 4 を形成する。その後、レジスト膜を除去した後、保護絶縁膜 3 をエッチングマスクにして半導体基板 1 を深さ 500 nm まで異方性エッチングを行って、素子分離領域に分離溝 5 a、5 b、5 c を形成する。

【0047】次に、図 3 (b) に示すように、半導体基板 1 上の全面に、HDP-CVD 法により膜厚 800 nm の酸化膜からなる分離用絶縁膜 6 を堆積する。このとき、分離用絶縁膜 6 の堆積膜厚の 2 倍の幅に対して、非常に幅の狭い活性領域 2 a 上には高さの低い小さな三角形状部 8 a、幅の広い活性領域 2 b 上には高さの高い台形状部 8 b、少し幅の狭い活性領域 2 c 上には高さの高い大きな三角形状部 8 c がそれぞれ形成される。

【0048】次に、図 3 (c) に示すように、保護絶縁膜 3 の端部が露出するまで分離用絶縁膜 6 を所定の厚さだけ全面エッチングする。これによって、分離溝 5 a、5 b、5 c 内に残置する分離用絶縁膜 6 a x、6 b x、6 c x と活性領域 2 a、2 b、2 c 上に残置する分離用絶縁膜 8 a x、8 b x、8 c x とが分離された状態となる。その後、半導体基板 1 上の全面にレジストを塗布した後、パターニングして高さの高い分離用絶縁膜 8 b x、8 c x 上に開口部 10 の形成されたレジスト膜 9 を形成する。このとき、レジスト膜 9 の活性領域 2 b、2 c 上へのオーバーラップ量は、少なくとも分離溝 5 a、5 b、5 c 内に残置する分離用絶縁膜 6 a x、6 b x、6 c x が覆われていれば多くても少なくともどちらでも良い。なお、分離用絶縁膜 6 の全面エッチングは、分離

用絶縁膜 6 a x、6 b x、6 c x と分離用絶縁膜 8 a x、8 b x、8 c x とが制御良く分離できれば、等方性エッチングまたは異方性エッチングあるいは Ar スパッタエッチングのいずれで行っても良い。

【0049】次に、図 3 (d) に示すように、レジスト膜 9 をエッチングマスクにして、開口部 10 内に露出する分離用絶縁膜 8 b x、8 c x をフッ酸系のウェットエッチング液を用いた等方性エッチングにより全面除去する。このとき、分離溝 5 a、5 b、5 c 内に残置する分離用絶縁膜 6 a x、6 b x、6 c x は、レジスト膜 9 で覆われており、且つ、保護絶縁膜 3 によって分離用絶縁膜 8 a x、8 b x、8 c x と分離されているため、等方性エッチングにより全面除去しても保護絶縁膜 3 がエッチングストッパーとなるためエッチングされることはない。

【0050】次に、図 3 (e) に示すように、レジスト膜 9 を除去した後、活性領域 2 a 上の分離用絶縁膜 8 a x 及び保護絶縁膜 3 の一部を CMP 法により保護絶縁膜 3 x の残膜厚が 50 nm 程度になるまで研磨除去して、分離溝 5 a、5 b、5 c 内のみに分離用絶縁膜 6 からなる素子分離絶縁膜 6 a、6 b、6 c を形成する。このとき、CMP 法により素子分離絶縁膜 6 a、6 b、6 c の表面は、保護絶縁膜 3 x の表面とほぼ平坦に形成される。

【0051】この第 3 の実施形態の製造方法によれば、図 3 (c) に示す工程で、保護絶縁膜 3 の端部が露出するまで分離用絶縁膜 6 を所定の厚さだけ全面エッチングすることによって、分離溝 5 a、5 b、5 c 内に残置する分離用絶縁膜 6 a x、6 b x、6 c x と活性領域 2 a、2 b、2 c 上に残置する分離用絶縁膜 8 a x、8 b x、8 c x とが分離された状態となる。この結果、図 3 (d) に示す工程で、レジスト膜 9 をエッチングマスクにして、開口部 10 内に露出する分離用絶縁膜 8 b x、8 c x をフッ酸系のウェットエッチング液を用いた等方性エッチングにより全面除去しても保護絶縁膜 3 がエッチングストッパーとなるため、分離用絶縁膜 6 a x、6 b x、6 c x をエッチングすることなく、分離用絶縁膜 8 b x、8 c x のみ選択的に除去することができる。しかも、分離用絶縁膜 8 b x、8 c x は等方性エッチングにより除去するため、レジスト膜 9 の活性領域 2 b、2 c 上へのオーバーラップ量に依存することなく完全に除去することができる。

【0052】

【発明の効果】以上述べてきたように、本発明の半導体装置の製造方法によれば、HDP-CVD 法により形成した分離用絶縁膜上に流動性材料からなる犠牲保護膜を形成する、あるいは、分離溝内の分離用絶縁膜と活性領域上の分離用絶縁膜とを分離し選択的に活性領域上の分離用絶縁膜を除去することによって、少なくとも CMP 法を用いて素子分離絶縁膜を形成する際の被処理面の段差

を緩和することができるため、活性領域及び素子分離領域のパターン幅に影響されることなく、最終的に分離溝に埋め込まれる素子分離絶縁膜の平坦性を向上することができる。

【図面の簡単な説明】

【図1】(a)～(d)は、本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図

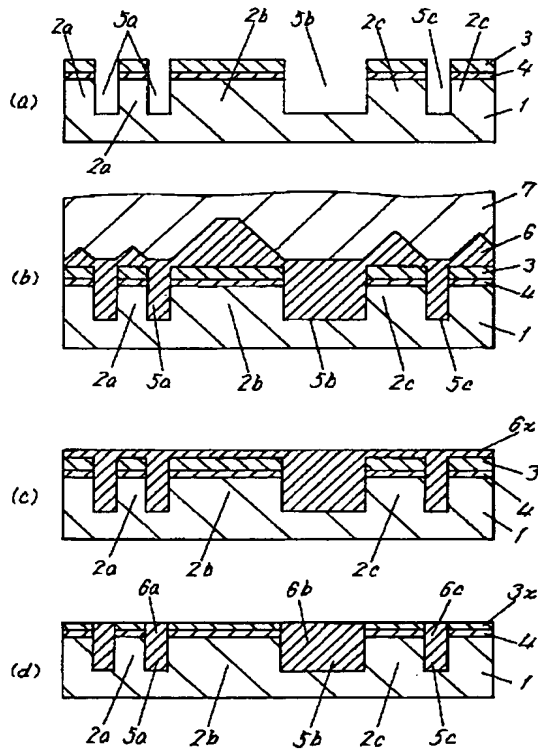
【図2】(a)～(e)は、本発明の第2の実施形態に係る半導体装置の製造工程を示す断面図

【図3】(a)～(e)は、本発明の第3の実施形態に係る半導体装置の製造工程を示す断面図

【図4】(a)～(d)は、従来の半導体装置の製造工程を示す断面図

【図5】(a), (b)は、HDP-CVD法により形

【図1】



成した分離用絶縁膜をレジスト膜をマスクにエッチングする従来の製造工程を示す断面図

【符号の説明】

1 半導体基板

2 a、2 b、2 c 活性領域

3、3 x 保護絶縁膜

4 下地絶縁膜

5 a、5 b、5 c 分離溝

6、6 x 分離用絶縁膜

10 6 a、6 b、6 c 素子分離絶縁膜

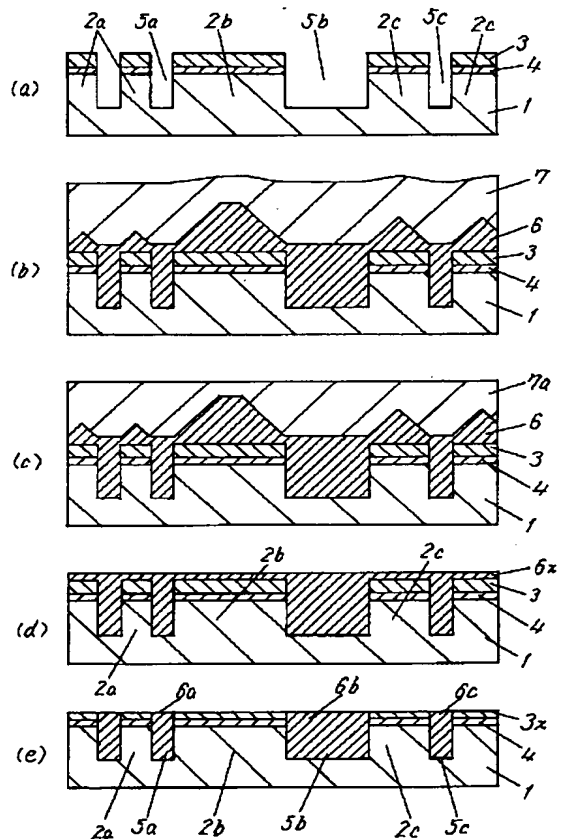
7、7 a 犠牲保護膜

8 a x、8 b x、8 c x 活性領域上に残置する分離用絶縁膜

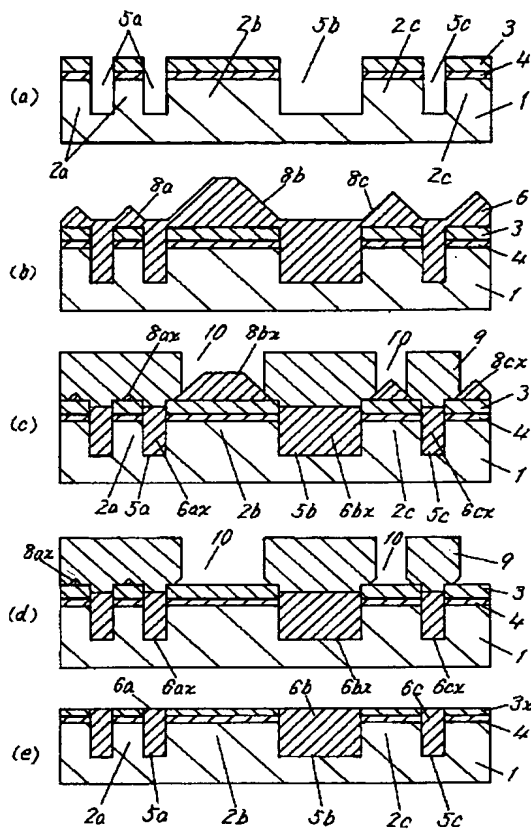
9 レジスト膜

10 開口部

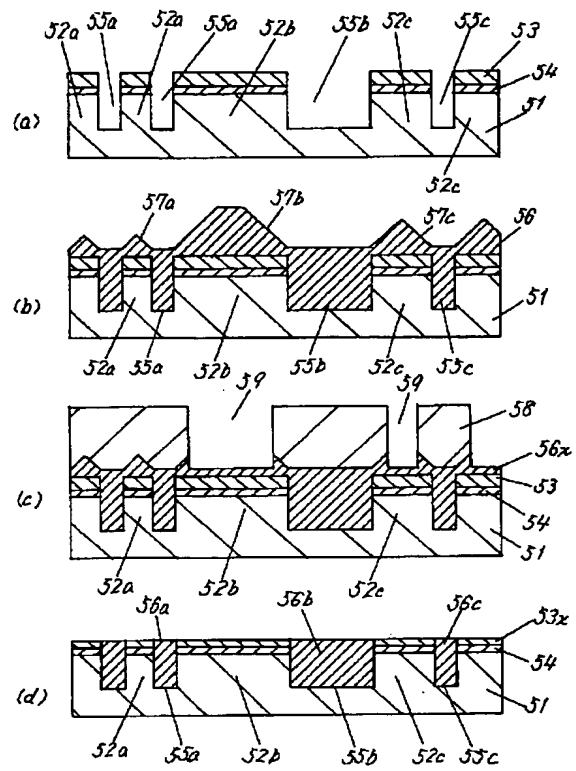
【図2】



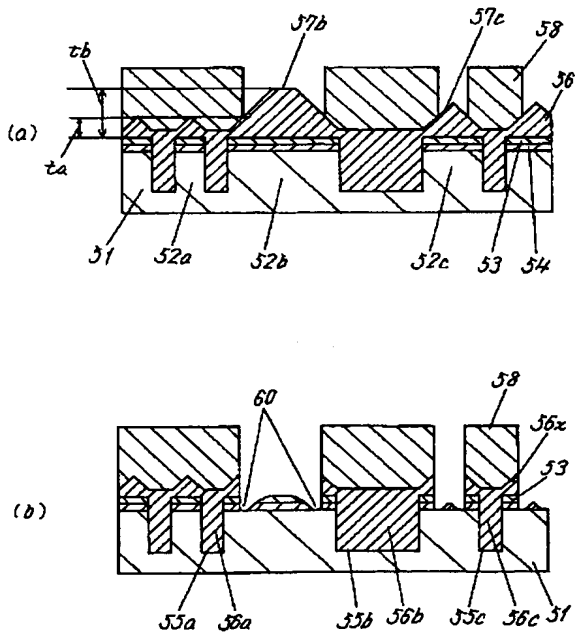
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 平井 健裕
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

Fターム(参考) 5F032 AA34 AA44 AA49 AA77 AA78
BA02 DA04 DA24 DA25 DA28
DA33 DA78
5F058 BA20 BD01 BD04 BD07 BD10
BE04 BF07 BH01 BH08 BH10
BH20